

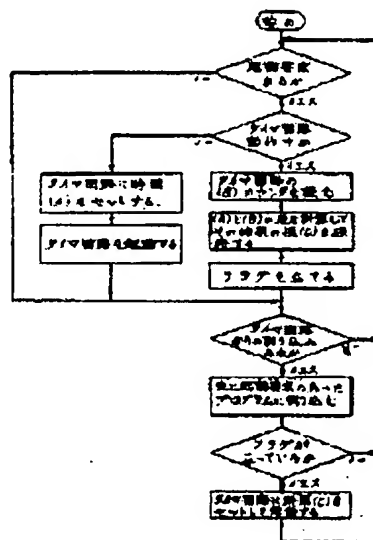
# TIMER CONTROL SYSTEM

Patent number: JP62009418  
 Publication date: 1987-01-17  
 Inventor: NAKAYAMA TAKESHI; KIMURA TATSUO; ARAKITA TETSUYA; SHIHARA SHINJI; NIE KOICHI  
 Applicant: FUJITSU LTD  
 Classification:  
 - International: G04F3/00; G05B19/02; G05B19/05; G06F1/04; G06F1/14; G06F9/46; G06F9/48; G04F3/00; G05B19/02; G05B19/05; G06F1/04; G06F1/14; G06F9/46; (IPC1-7): G04F3/00; G05B19/02; G06F1/04; G06F9/46  
 - european:  
 Application number: JP19850147902 19850705  
 Priority number(s): JP19850147902 19850705

Report a data error here

## Abstract of JP62009418

**PURPOSE:** To enable plural programs to use a pair of timer circuits by setting the prescribed timing for generation of the interruption signal sent from the timer circuit. **CONSTITUTION:** If a timer circuit is working when a start request of a timer is given from another program, the count value B of the timer circuit is read out of at that time point. Then the difference C between the value B and the time A is calculated and held. When an interruption is produced by the time-over of the timer circuit, an interruption is given to the program that had previously the start request of the timer to inform the time-over. The difference C is set to the timer circuit if a flag is set up then, and the timer circuit is immediately started. Thus plural programs can use a pair of timer circuits.



⑨ 日本国特許庁(JP) ⑩ 特許出願公開  
⑫ 公開特許公報(A) 昭62-9418

⑤ Int. Cl.<sup>4</sup> 識別記号 庁内整理番号 ⑬ 公開 昭和62年(1987)1月17日  
G 06 F 1/04 7157-5B  
G 04 F 3/00 7620-2F  
G 05 B 19/02 H-7740-5H  
G 06 F 9/46 A-8120-5B 審査請求 有 発明の数 1 (全4頁)

⑭ 発明の名称 タイマ制御方式

⑮ 特 願 昭60-147902

⑯ 出 願 昭60(1985)7月5日

⑰ 発 明 者	中 山 毅	川崎市中原区上小田中1015番地	富士通株式会社内
⑱ 発 明 者	木 村 辰 雄	川崎市中原区上小田中1015番地	富士通株式会社内
㉑ 発 明 者	新 北 徹 也	川崎市中原区上小田中1015番地	富士通株式会社内
㉓ 発 明 者	紫 原 真 二	川崎市中原区上小田中1015番地	富士通株式会社内
㉕ 発 明 者	賢 浩 一	川崎市中原区上小田中1015番地	富士通株式会社内
㉗ 出 願 人	富士通株式会社	川崎市中原区上小田中1015番地	
㉙ 代 理 人	弁理士 井 桁 貞一		

明 細 書

1. 発明の名称

タイマ制御方式

2. 特許請求の範囲

外部からタイマ値をセットすることが可能であって、起動されると内蔵するカウンタを与えられたクロックによって歩進してセットされているタイマ値に達すると割り込み信号を発出するごとく構成された1組のタイマ回路を制御する手段であって、該タイマ回路がすでに起動されて動作をしている間に更に起動要求が到来したとき、予め指定されているタイマ値とその時点のカウンタの残り時間の値との差を算出して、先の起動に対する割り込み信号発出時にタイマ値として該残り時間の値をセットすることを特徴とするタイマ制御方式。

3. 発明の詳細な説明

〔 概 要 〕

タイマ制御LSi等の1組タイマ回路を複数のプログラムが使用することを可能とする制御手段を提供するもので、装置の小形化と経済化を目的とするものである。

〔産業上の利用分野〕

本発明は外部からタイマ値をセットすることの可能なタイマ制御LSi等のタイマ回路の制御に関するものであって、1組の上記タイマ回路を複数のプログラムが使用することを可能ならしめる制御に関するものである。

〔従来の技術〕

従来、1組のタイマを複数のプログラムで使用する方式として、一定の固定的時間間隔で、周期的にタイマ割り込み信号を発生する手段を設け、これを制御するタイマ割り込み処理プログラムが他のプログラムからタイマの起動を要求されると、指示されたタイマ値を該プログラムのために用意したカウンタにセットして該カ

## 特開昭62-9418(2)

ウンタの値を前記タイマ割り込みが発生する都度プログラムによって歩進して、指示された時間を経過したときタイマの起動要求をしたプログラムに割り込むという制御を行なうものがあった。

このような方式においては、タイマ値として設定する値と実際の時間との間に最大の場合前記固定的時間間隔に相当する時間分の誤差を生ずるという問題点があり、一方その誤差を小さくするため固定的時間間隔を狭めると割り込みの発生頻度が高くなるためプロセッサの負荷が増大するという欠点があった。また、特にタイマを起動しない場合でも、前記固定的時間間隔で発生する割り込みを処理するためにプロセッサに負荷がかかるという欠点があった。

そのため、時間的誤差が少なくプロセッサに負荷のかからないタイマ回路として、最近では、外部からタイマ値をセットすることが可能であって、起動されると内蔵するカウンタを与えられたクロックによって歩進してセットされてい

てはならないから、多数の回線を収容する通信制御装置の場合、装置の小形化と経済性の高い装置の実現が困難であるという問題点があった。

本発明は上記従来の問題点に鑑み、1組のタイマ回路を複数のプログラムが使用することのできる方式を提供することを目的としている。

## [問題点を解決するための手段]

そして、この目的は本発明によれば特許請求の範囲に記載のとおり外部からタイマ値をセットすることが可能であって、起動されると内蔵するカウンタを与えられたクロックによって歩進してセットされているタイマ値に達すると割り込み信号を発出するごとく構成された1組のタイマ回路を制御する手段であって、該タイマ回路がすでに起動されて動作をしている間に更に起動要求が到来したとき、予め指定されているタイマ値とその時点のカウンタの残り時間の値との差を算出して、先の起動に対する割り込み信号発出時にタイマ値として該残り時間の値

るタイマ値に達すると割り込み信号を発出するごとく構成されたタイマ制御LSi等を用いることが多くなってきている。

## [発明が解決しようとする問題点]

上述したタイマ制御LSi等の回路は、タイマ制御レジスタ、タイマステータスレジスタおよびカウンタをそれぞれ1個持っていて、前述のように外部から指示されたタイマ値をカウンタにセットして、外部から与えられたクロックによりカウンタを歩進し、カウンタの値が“0”になったとき割り込み信号を発生するものであって、従来、タイマを必要とする系ごとに該回路を設けていた。

例えば通信制御装置の回線接続部における回線側信号の時間監視に前記タイマ制御LSiを用いる場合を考えると、半二重回線の場合には各回線ごとにタイマ制御LSi 1個ずつを実装する必要があり、全二重回線の場合には各回線ごとにタイマ制御LSiを2個ずつ実装しな

くをセットすることを特徴とするタイマ制御方式により達成される。

## [実施例]

第1図は本発明の1実施例の制御を示す流れ図であって、タイマ回路を制御するタイマ制御プログラムの動作を示しており、タイマ時間(図中の(A))が一定であり、2つのプログラムからの要求を受ける場合を示している。

第1図によって、本実施例のタイマ制御プログラムの動作を説明すると、他のプログラムからのタイマの起動要求があったとき、タイマが動作中でなければ、予め決められているタイマ時間(図中残り時間(A))をタイマ回路にセットしたタイマ回路を起動する。

もし、タイマ回路が動作中であれば、その時点のタイマ回路のカウンタの値を(B)を読み出して、この値(B)と前記タイマ時間(A)との差を計算して、その値(C)を保持しておく。そして、タイマ動作中にさらにタイマ起動のあった

## 特開昭62-9418(3)

ことを表示するためのフラグを立てる。

そしてタイマ回路からのタイムオーバーによる割り込みが発生したとき、先にタイマの起動要求のあったプログラムに割り込んでタイムオーバーを知らせる。このときフラグが立っていれば、タイマ回路に時間(C)をセットして直ちにタイマ回路を起動する。これによって、タイマ回路動作中にタイマの起動要求のあったプログラムに対しても、起動後(A)時間経過後に割り込みを発生してタイムオーバーを知らせることができる。

第2図はタイムチャートであって、2つのプログラム(プログラムAとプログラムB)からのタイマ起動要求があった場合のタイマ制御プログラムとタイマ回路の動作についての時間関係を示したものである。

本実施例においては、上述のように2つのプログラムから同一タイマを起動する場合について示しているが、フラグをプログラム別に設ける等によって、さらに多くのプログラムからの

タイマ起動を可能とすることができる。

## 〔発明の効果〕

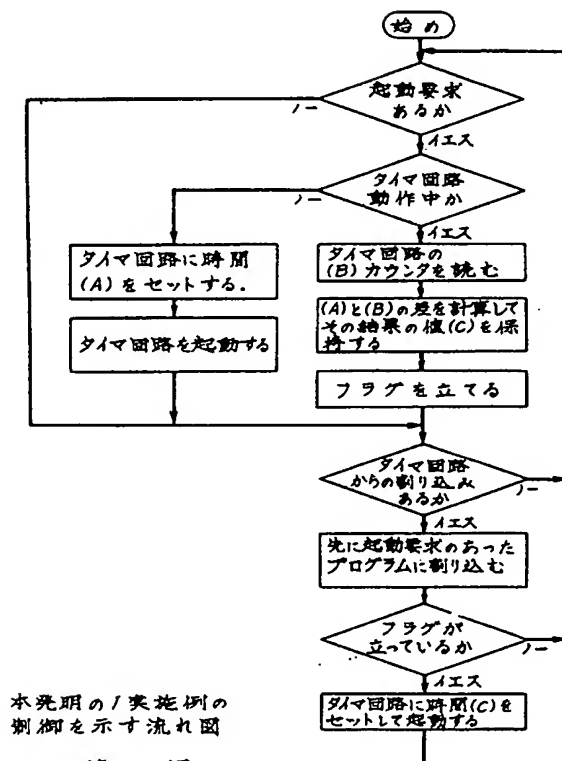
以上詳細に説明したように、本発明の方式によれば、タイマ制御LSiなどのタイマ回路を、複数のプログラムが独立的に使用することが可能なので、タイマ回路の実装数を従来より低減することにより、装置の小形化と、経済化を図ることができるという利点がある。

## 4. 図面の簡単な説明

第1図は本発明の1実施例の制御を示す流れ図、第2図はタイムチャートである。

代理人 井理士

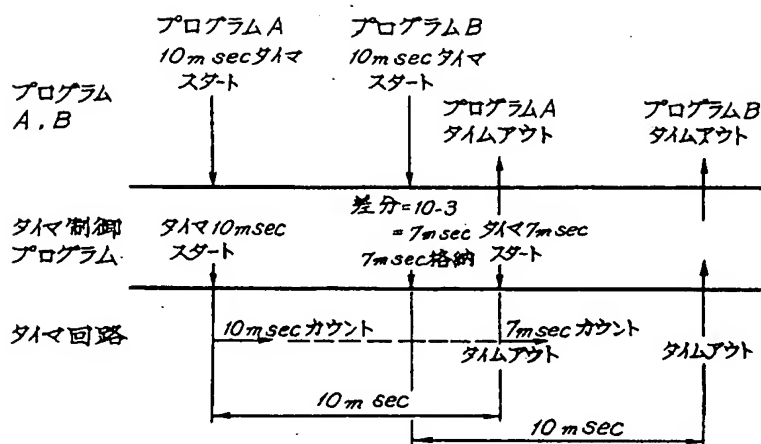
井 理 士  
松 岡 憲 四 郎



本発明の1実施例の制御を示す流れ図

第1図

特開昭62-9418(4)



タイムチャート

第 2 図